

D2

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

H01L 21/66

G01R 31/28

# [12] 发明专利申请公开说明书

[21] 申请号 99118883.7

[43]公开日 2000年4月5日

[11]公开号 CN 1249534A

[22]申请日 1999.9.16 [21]申请号 99118883.7

[30]优先权

[32]1998.9.29 [33]US [31]09/162826

[71]申请人 国际商业机器公司

地址 美国纽约州

[72]发明人 S·达斯古塔 K·斯里克里斯南  
R·G·瓦尔特

[74]专利代理机构 中国专利代理(香港)有限公司

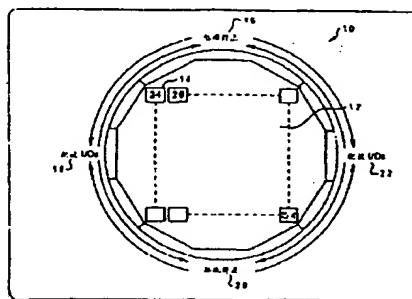
代理人 杨 凯 王忠忠

权利要求书 4 页 说明书 9 页 附图页数 8 页

[54]发明名称 在晶片阶段内测试集成电路的方法和系统

[57]摘要

公开了一种利用无源电气网络进行晶片阶段集成电路测试的方法和系统。根据本发明,在制造过程中在半导体晶片上形成多个集成电路。在晶片上制造集成电路的过程中,将导电迹线、导电带与测试焊点淀积在晶片未占用的区域上。这种未占用的区域包括晶片周边的区域和将邻近的集成电路分开的切口区。导电迹线在邻近的集成电路之间的切口区范围内形成导电网络。利用导电带是为了在关键部位上互连导电迹线并将迹线与集成电路上的输入/输出接点相连接。



ISSN 1000-8427 4



的在探针与焊点之间的良好的接触的不确定性，这样就排除了因电气接触差而造成的虚假成品率损失。

现在描述晶片阶段的集成电路测试结构及形成和利用晶片阶段集成电路的测试结构的方法。这种结构或类似结构可用于对晶片阶段的集成电路进行全面测试。图 1 和 2 分别描述晶片的概念性布局，以及如何将普通的测试焊点进行定位以便馈送到全部集成电路或子系统（列或行）或被其馈送。图 3A 图示典型的晶片阶段布局。请注意集成电路位置之间的分离，如图 3A 的线所示，实际上构成了切口区，一般宽度在 0.3 与 0.9mm 之间，大多切口区在集成电路从晶片切下时消失。还请注意，绕晶片周边的打阴影的、不完整的、不能用的集成电路位置 124，为大几何尺寸的测试焊点留了位置。图 4 到图 7 示出了为实现本发明的方法之一，其中导电迹线网络在晶片的切口区和周边区形成，并具有所有为实施本公开的测试结构所需要的全部连接。

首先叙述利用一种测试结构来全面地测试集成电路的方法和系统，接着描述其组成及是如何形成的。图 1 是一顶视示意图，描述半导体晶片 10（以下称晶片 10）的可用表面面积的配置。晶片 10 的大部分表面面积被成品器件区 12 所占据，该区填满了包括集成电路 24 和 26 在内的多个集成电路。象切口区 14 这样窄而未被占领的通道位于集成电路之间，即，切口区位于邻近的集成电路 24 和 26 之间。晶片 10 的剩下的表面区位于晶片 10 周边区上，的即位于成品器件区 12 之外。如图 1 所述，晶片 10 的周边区可用作设置电源焊点 16、接地焊点 20、测试输入/输出焊点 18 和 22 的方便的位置。

参照图 2，对于晶片上集成电路的  $m \times n$  阵列中的集成电路 32、34、36 和 38 的  $2 \times 2$  阵列，描述了测试控制结构 30。图 2 也描述通常控制类型的例子，比如可用于测试器件的测试模式选择线 40 和 42（TMS1 和 TMS2）。这些控制与晶片阶段的测试焊点（如图 7 测试焊点 300）连接，这些测试焊点是固定的，无需在从器件至器件步进地移动。假定测试焊点 300 在晶片周边彼此隔开，而且在单个器件上不密集于夹具周围，这自然就减低了用于提供无噪音、可靠的高频信号的测试仪探针机构和电子装置的复杂性。电源线 46 和 48 及接地线 60 和 62 通过每行或每列的共用栅格对所有器件进行供电。在本发明的一个实施例中，测试模式选择线 40 和 42（TMS1 和 TMS2）以及测试时钟线 44（TCK）符合 IEEE 1149.1

的进行边界扫描测试的标准, 并可用来测试下述器件。

电平敏感扫描设计 (LSSD) 时钟与控制 50 是输入装置, 是为了提供扫描、内建自测试 (BIST) 或补充或替换按 IEEE 1149. 1 标准所需的测试的其他测试而提供内部扫描寄存器的 LSSD 控制。全部  $m$  行选择线中的两行选择线 52 和 54 ( $X1$  和  $X2$ ) 如果需要的话可选择单行器件。同样, 全部  $n$  列选择线中的两行选择线 56 和 58 ( $Y1$  和  $Y2$ ) 如果需要的话可选择单列器件。当按照 IEEE 1149. 1 标准测试集成电路时, 如果 TMS 线可用于列选择的话, 可以不需要  $Y$ -控制。测试数据输入 64 和 66 ( $m$  行这种输入的 TDI1 和 TDI2) 分别给晶片特定行的全部器件馈送扫描输入。同样, 行方式测试数据输出 68 和 70 ( $m$  行这种输出中的 TD01 和 TD02) 被给定行的全部扫描输出所馈送。

测试控制网络按图 2 来实施, 晶片阶段集成电路的测试可用几种方式来完成。为同时测试单列的全部器件, 启动全部  $X$ -控制, 而仅选择  $Y$ -控制中的一个, 或利用 TMS (测试模式线) 启动每行中的待测试的一个器件。然后, 测试数据输入 64 和 66 将测试数据馈送到每行中所选的器件。同样, 测试数据输出 68 和 70 从每行中所选器件扫出测试结果。这一控制程序同时可测  $m$  个器件 (每行一个), 使测试通过量呈  $m$  倍增加。通过将所有 TMS/ $Y$ -控制排序, 全部列的器件可在总数为  $n$  的步骤中被测试。为了诊断的目的, 同时激活单行选择线 52 或 54, 和单列选择线 56 或 58 以选择一单个器件, 然后以比常规制造测试中更仔细的方式对其进行分析。

晶片阶段测试完成之后, 将集成电路从晶片上切下来, 并将位于切口区的测试控制线销毁。仍然保持与每个集成电路连接的测试控制线的片段不再与测试焊点相连, 产生一个可能干扰器件性能的源。为防止这些“松动端”干扰器件的功能性, 测试网络独创性地设计成控制线与正常器件输入/输出接点相连, 该接点最后与电源或接地连接, 或者说受其控制, 以便不引入噪音或不干扰该设计的正常逻辑功能。另一方面, 可以设计馈送或被测试焊点馈送的电路, 这样这些网络就不干扰正常器件工作。

现在参考图 3A 至 7 来描述无源电气测试结构配置及一组形成无源电气测试结构配置的方法。在此描述的工艺步骤的选择以偏离常规晶片加工工序最小为准则。如下段所述, 以上提到的测试结构利用了网络

方法，其中多个集成电路的输入/输出接点是利用在晶片切口区中形成的导电迹线互联的。这一网络方法容许对多个在晶片阶段的集成电路同时进行测试，同时保留用于成品器件的最大晶片表面积。

5 图 3A 表示晶片布局，其中方形块代表集成电路 120(例如 DRAMs)，它们每个都与切口区 122 邻接。为便于参考，图 3A 中的晶片 100 上附加一 x-y 坐标。集成电路 120 的定向是其边平行于 x 和 y 方向。晶片槽口 130 指向 y 方向。

10 集成电路的电流产生利用多层布线将内部器件电路与器件表面上的终端(端头通路或焊接点)连接。内部器件互联具有一般由 Al-Cu 构成的布线层，这些布线层由绝缘体薄膜隔开。有些技术中，可用铜线代替 Al-Cu 线。绝缘体上的布线图形和通路采用分步重复机和十字标线由投影光刻(比如 5X)确定。通常，每个器件逐个曝光，一次一个。

15 器件制造以形成器件终端来结束，通常采用 1X 掩模光刻工序。1X 光刻的优点是用一个步骤在整个晶片上曝光而减低了成本。将器件终端设计成适于采用引线键合或 IBM 的可控塌陷芯片焊球连接法(C4)与印刷电路(PC)板连接。大多数诸如微处理器或应用专门电路(ASICs)的半导体集成电路产品的晶片布局类似于图 3A 所示的布局，所不同的是方块的尺寸。

20 图 3B 描述了切口区标线图形 142 的一些细节，图形在每一步与产品一起曝光。如前所述，切口区通常确定为将邻近的集成电路位置分开的窄的划片线，当器件最终从晶片上切下来时将该划片线破坏。切口区往往含有几个功能区，其中包括测试结构、光刻和划片标记等。图 3B 示出沿每一器件位置 144 两边缘排列的功能性切口区，其中包括光刻标记、如对准辅助、临界尺寸测量位置(CDs)等。沿器件位置 144 的另  
25 一边缘是一方形测试区 150，它包括成品和参数测量的测试结构。

图 4 和 5 描述集成电路 162、164、166 和 168 所处的晶片(未示出)部分的放大图。水平的导电迹线 160 和垂直的导电迹线 180 分别与在位于测试区 150 或切口区 145 和 155 的对准区外图示的 x 和 y 方向对准。导电迹线 160 和 180 在图 4 和 5 中相对于测试和对准区 140 和 150 被放  
30 大了。实际上，每一组导电迹线所占空间可能比测试和对准区 140 和 150 窄。因此，尽管导电迹线 160 就 180 被描述成位于测试和对准区 140 和 150 之外，但它们的容易地紧靠每一个集成电路 162、164、166 和 168

位置来定位。

用于传输输入/输出信号的导电迹线 180 可以设计成宽度为  $5\mu\text{m}$  间距为  $10\mu\text{m}$ ，这样大约  $50\mu\text{m}$  的空间可设置 5 条迹线。因而，小于  $0.1\text{mm}$  ( $100\mu\text{m}$ ) 的空间可用来在每一器件的两侧设置 5 条迹线，而且很容易适合于一般宽度为  $0.3 - 0.9\text{mm}$  的切口区。导电迹线 160 被用于对被测器件提供电源和接地，可用比用作信号传输的导电迹线 180 宽的导体来设计。例如，由四条导电迹线组成的布线轨所占宽度小于  $0.1\text{mm}$ ，每条迹线宽度为  $10\mu\text{m}$ ，间距为  $5\mu\text{m}$ ，在两边缘之间分开。如果需要，导电迹线 160 可以加宽以传输大电流。然而，假设它们的相对工作周期短，通常可以设计成传输比用于成品器件的类似尺寸的导电迹线大很多的电流。

为以下解释作参考，假设集成电路有一个终端金属层，它将器件与印刷电路板或其他适当的基板连接，并假设在终端金属下面，将布线层称为“末级金属”。对于没有终端金属的器件来说，最后两个金属化层（或布线工序）将被用于形成测试结构之目的。

再参照图 4 和 5，导电迹线 160 和 180 在确定末级金属层的同时形成，并与该金属层使用同样的金属材料（例如 Al-Cu 或 Cu）。导电迹线 160 和 180 包含在步进机的曝光区内，如在切口区 145 和 155 的放大图中所描述的那样。导电迹线 160 和 180 的图形有意设计成在有源器件区之外，而且完全在切口区之内，当器件从主晶片上切下来时，大部分迹线将被破坏。如果导电迹线 160 或 180 的任何部分仍保留，则将被曝光的 Al 或 Cu 迹线材料与切口区隔开，不影响集成电路金属化的可靠性。虚线 190 示出邻接的器件/切口区之间的中点值的假想边界。每条迹线在穿进邻接的器件/切口区几微米（5 到  $50\mu\text{m}$ ）前中止。

导电迹线 160 和 180 的图形在与用来确定成品器件布线图形的同一工序中形成，即湿法或干法腐蚀工序，或雾状花纹（damascene）化学/机械抛光工序。如果是为某些类型的产品，在此阶段的布线图形通过 1X 掩模形成，然后用 1X 掩模形成导电迹线 160 和 180。

在形成导电迹线 160 和 180 及集成电路布线图形的末级金属图形化工序后，整个导体图形用绝缘体封闭（图 4 和 5 中未示出），该绝缘体通常用等离子体淀积的二氧化硅，有些情况下用诸如聚酰亚胺的有机绝缘体。绝缘体提供抗划痕涂层，并为防止可能的水汽腐蚀提供绝缘保护。

接着绝缘层淀积，在绝缘层中开出两组通路 200 和 210。在图 5 所示的实施例中，在分段的导电迹线 160 和 180 的端部附近开出通路 200，这样，短导电带 220 就可被用来沿器件的行与列形成连续但又分开的导电路径。用这种方式，导电性地连接了导电迹线 160 的全部邻接段和导电迹线 180 的全部邻接段。由此，导电迹线 160 和 180 就在所示的 x 和 y 方向形成了具有连续导电路径的正交导电网络。图 4 描述了本发明的另一个实施例，其中导电迹线 180 被淀积作为 y 方向的导电路径。因此，通路 200 和导电带 220 仅被用来连接在 x 方向流通的导电迹线 160 的邻接段。如图 4 和 5 所描述，通路 210 为在适当的输入/输出接触位置上用导电带 240 将导电迹线 160 和 180 与集成电路 162、164、166 和 168 进行导电性连接提供了接触点。

通路 200 和 210 均按同一规则设计，而且两者均被完全沉陷 (land) 及用干湿法腐蚀，以便提供特定坡度的壁特性。在本发明的一实施例中，导电带 220 和 240 用金属材料形成，它可在器件上保持露出状态而无需考虑腐蚀问题，最好采用与用来形成引线键合或焊接终端同样的材料，诸如 Cr-Cu-Cr, Ti/Pd/Au 或 Cr-Ni-Au 层。这些带由 1X 掩模确定，通常用与制造终端图形同样的掩模。假如终端工艺不能有利地用来同时确

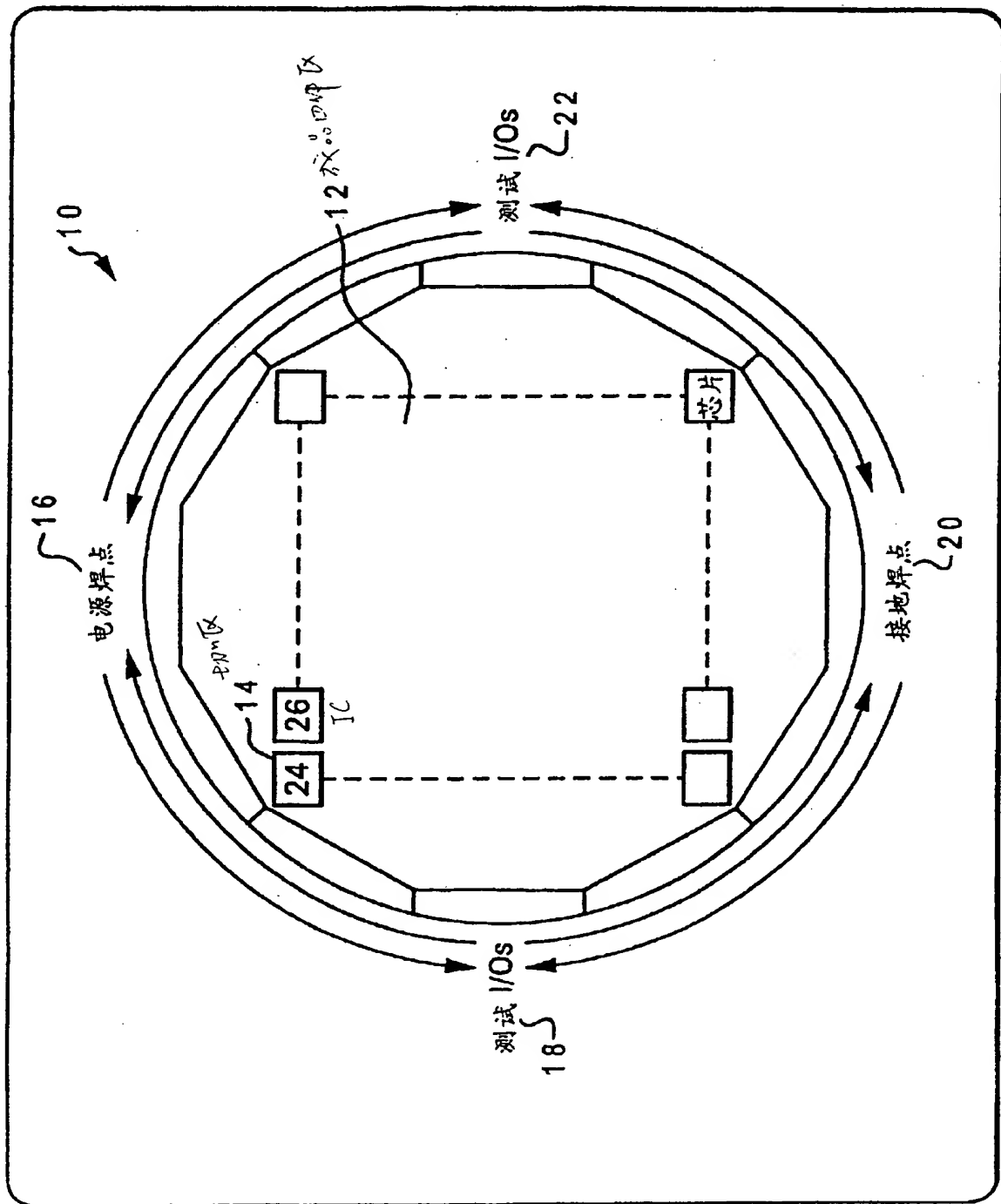


图 1

30

带有测试控制的芯片  $2 \times 2$  阵列

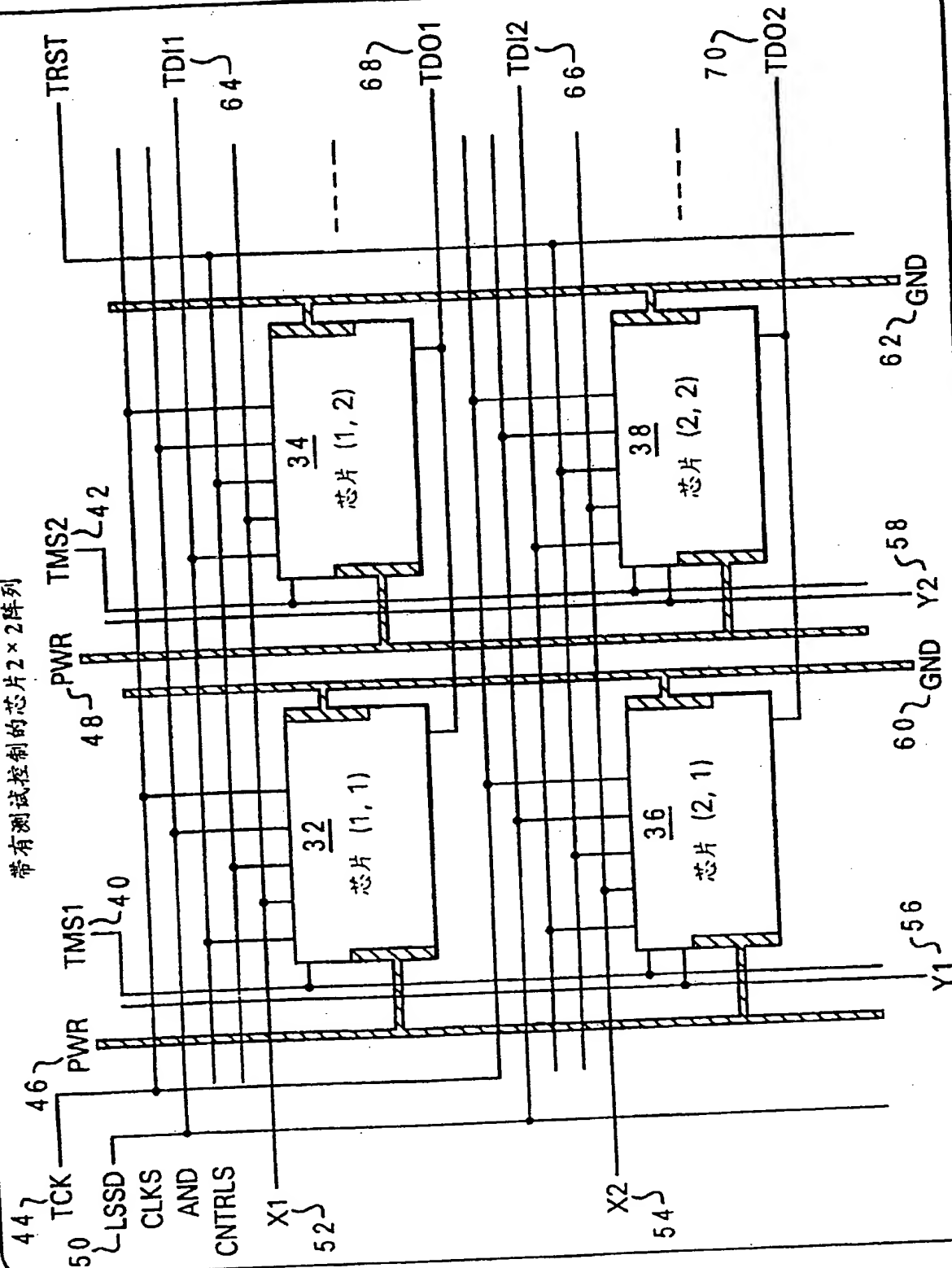


图 2



99.09.18

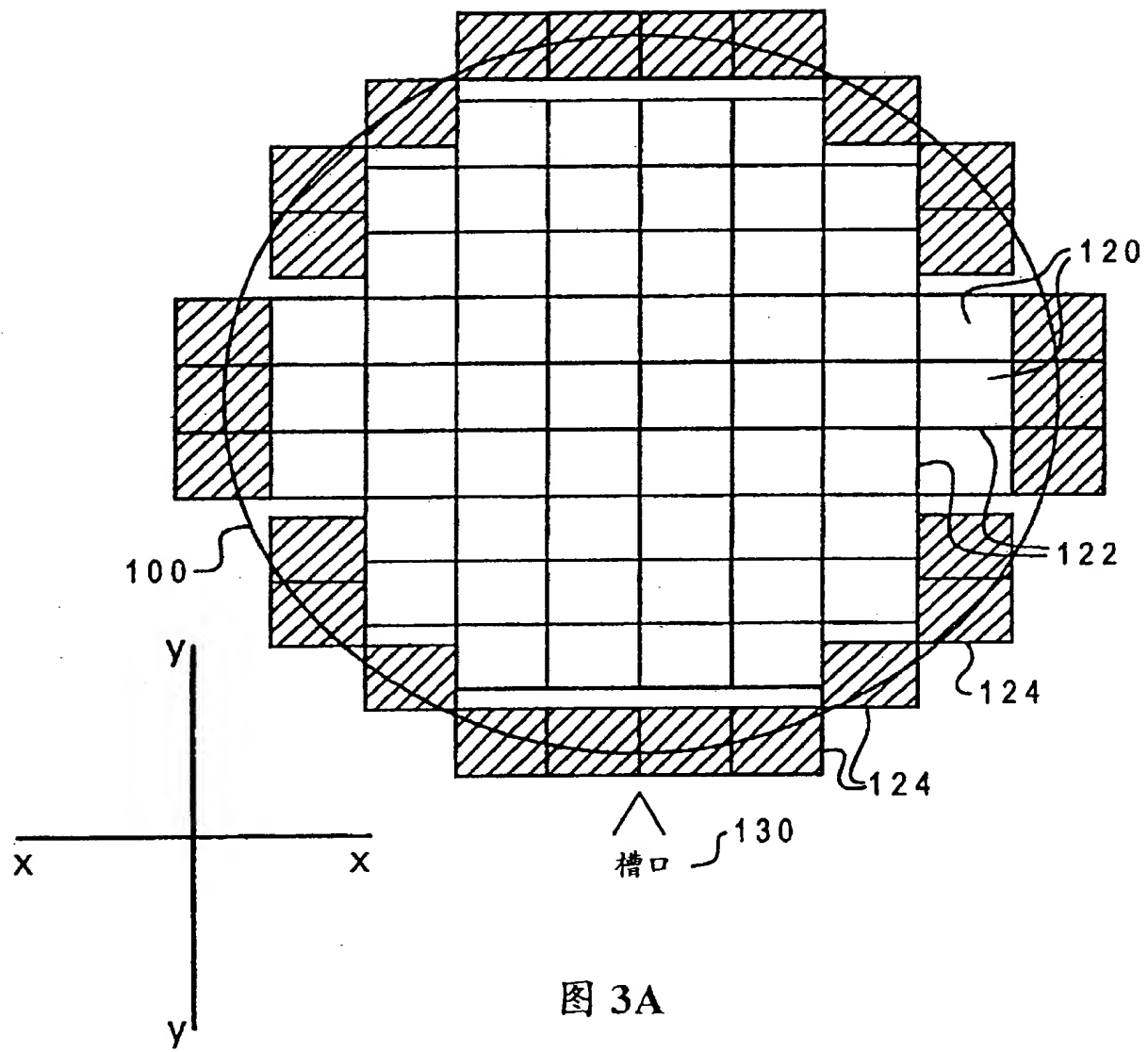


图 3A

通常的0.9mm布局  
(在12点处的晶片槽口)

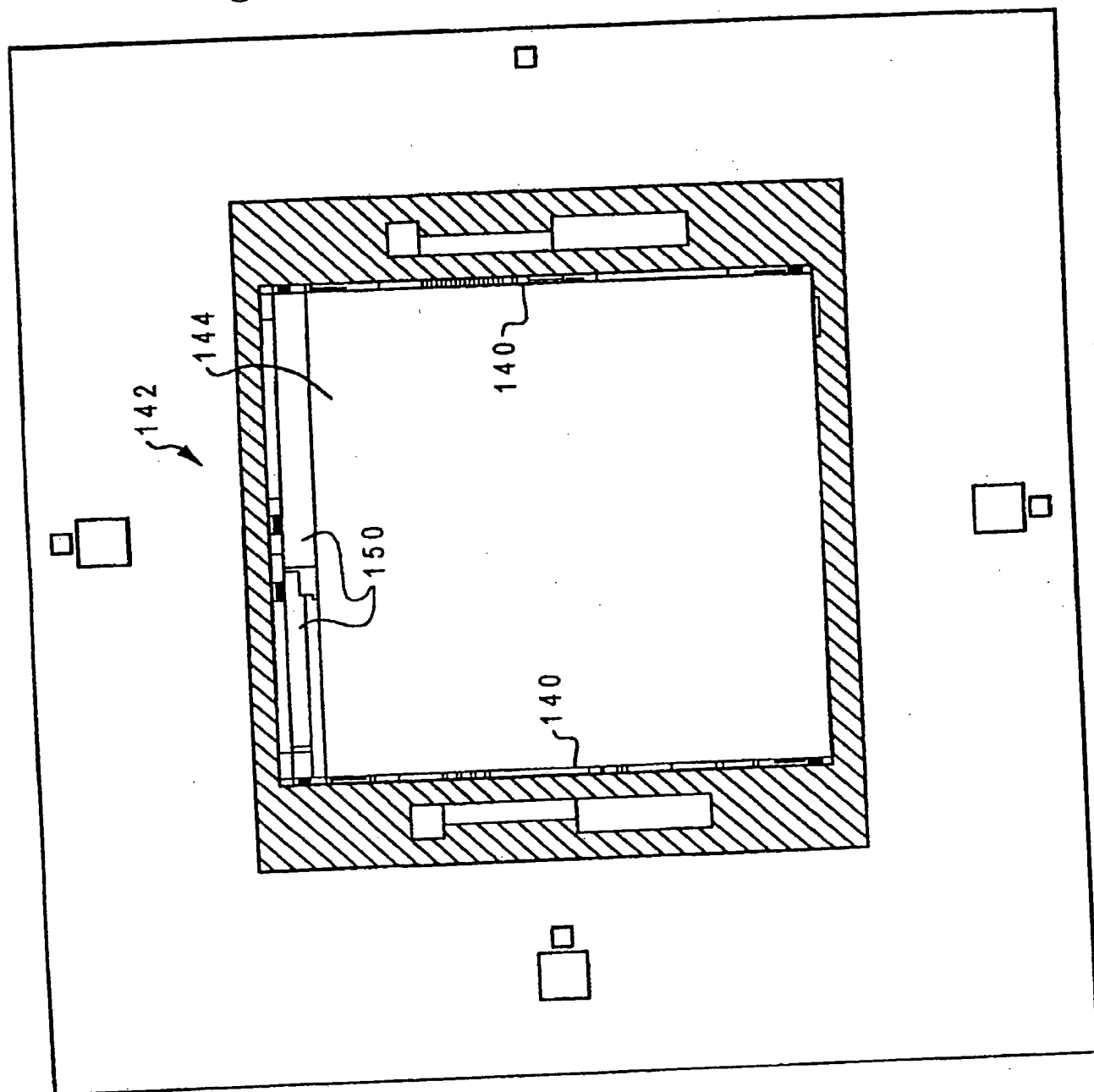


图 3B

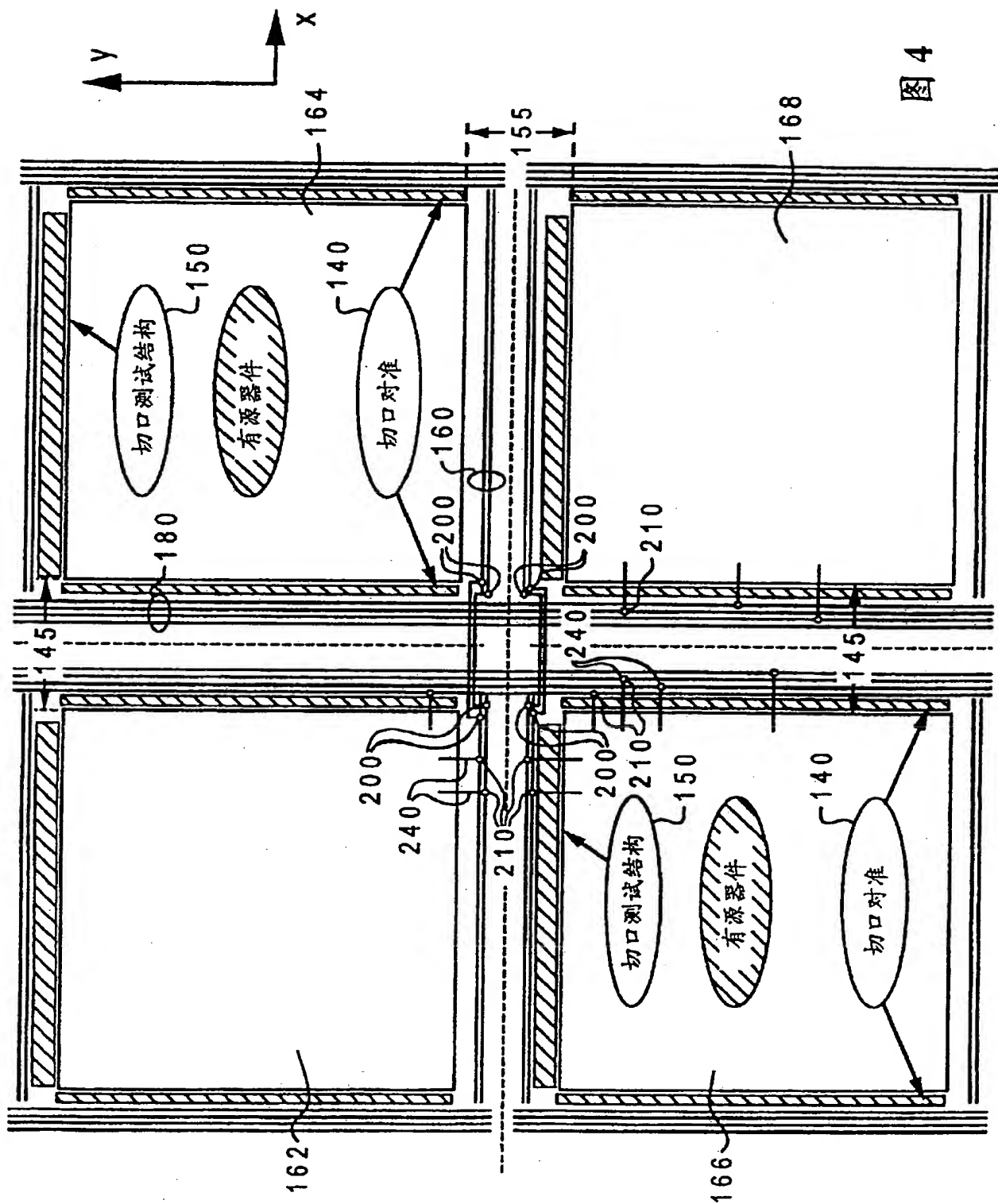
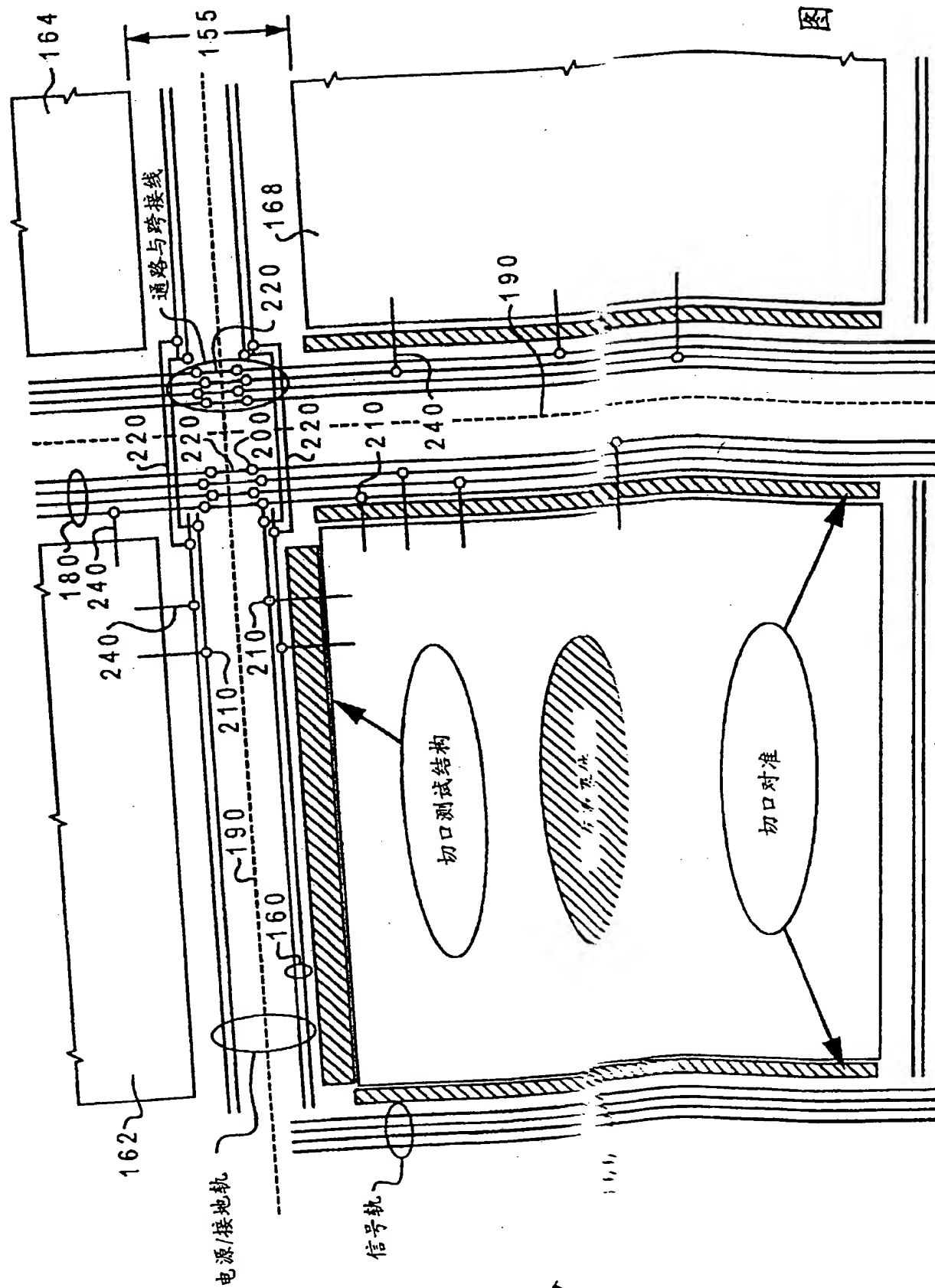


图4



第一类输入/输出连接

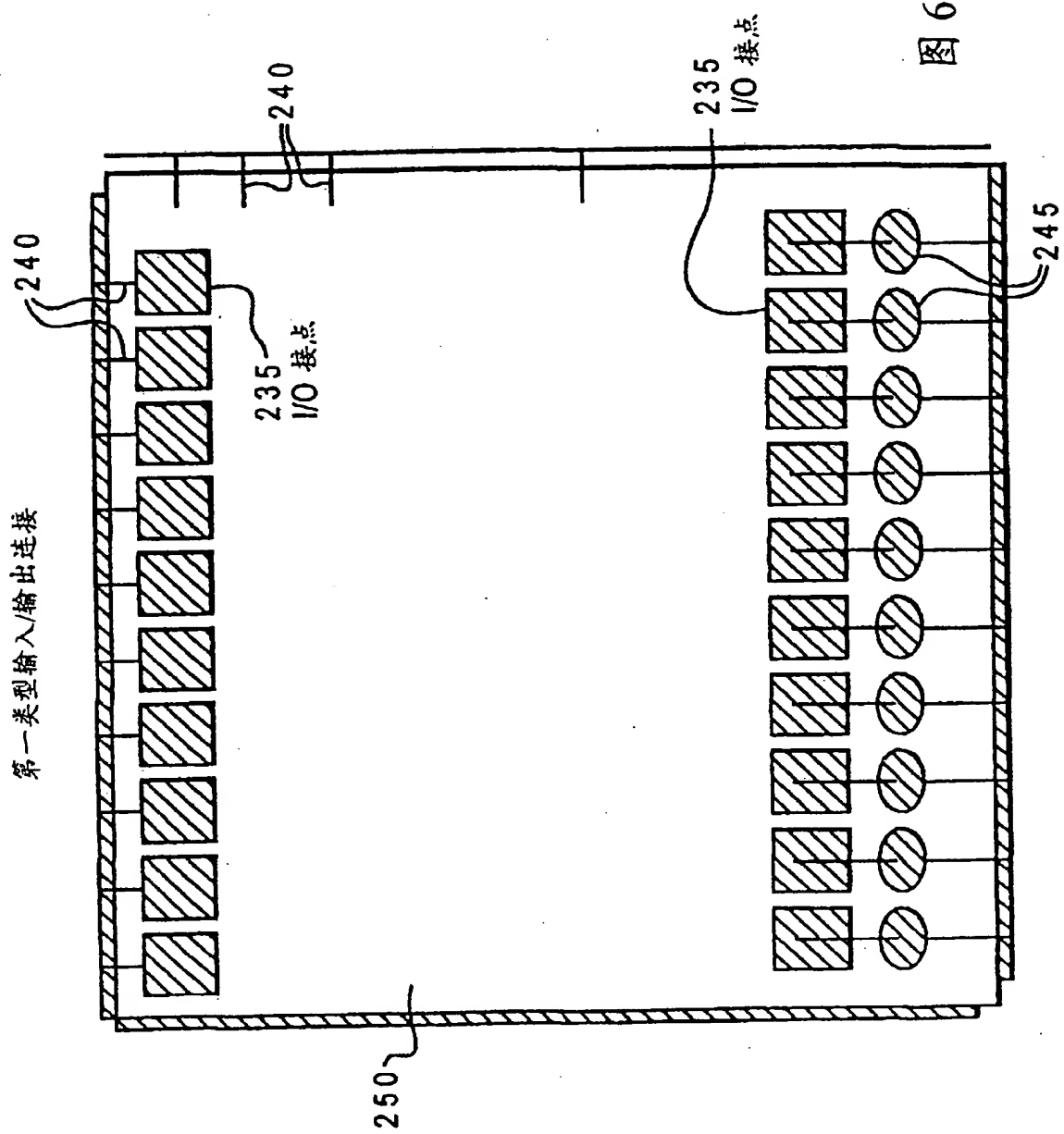


图 6

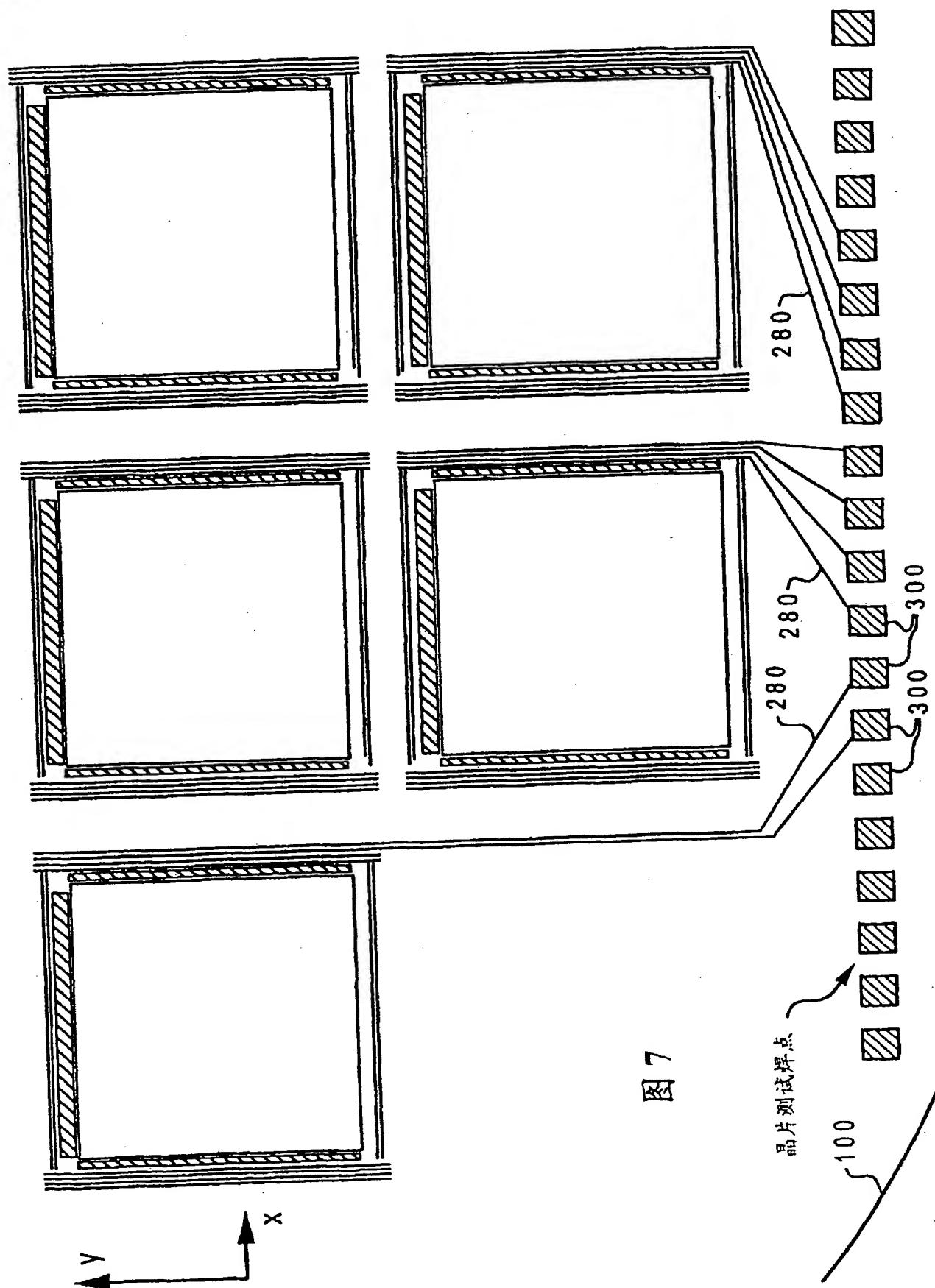


图 7